

窒化物半導体のデバイスプロセスの研究を行っています。  
 具体的には以下のような研究を行っています。

### 1. Mg イオン打込みした GaN 中に生じる欠陥についての研究

GaN を用いたパワーデバイス作製のためには、Mg イオン打込みによる p 型領域の形成が非常に便利なプロセスとして期待されているのですが、現在のところ、難しい技術となっています。これを克服するには、Mg イオン注入により生じる GaN 中の欠陥準位についてよく調べ、さらにそれを制御する必要があります。

イオン打込みは半導体中に多くの欠陥を生じます。さらに、結晶欠陥回復とドープメントの活性化のために高温で熱処理する必要がありますが、この段階でも新たな欠陥が生じる可能性があります。私たちは、n 型 GaN に少ない量の Mg イオンを注入し、低い温度の熱処理から初めてだんだんと温度を上げて行く過程で、結晶欠陥がどのように変化していくかを調べています。

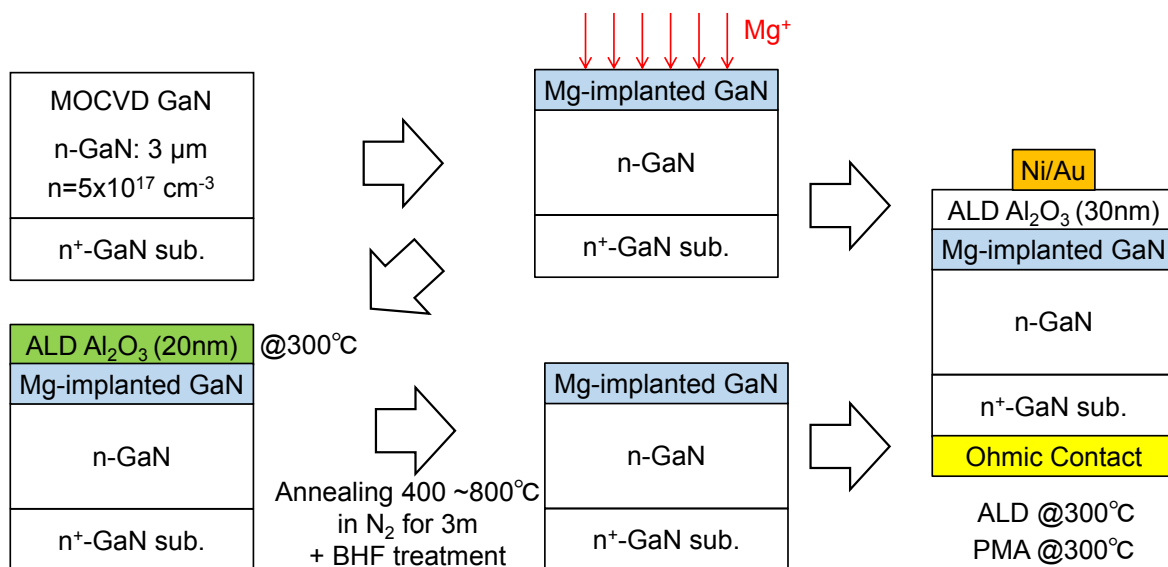


図 1. Mg イオン注入した GaN の電気的特性を調べるための MOS 構造の作製プロセス。表面付近をよく調べるために MOS 構造を採用。比較のため。熱処理を行わない試料も作製。完成した MOS ダイオードに対して容量-電圧特性を測定し、シミュレーションとも併せて欠陥準位の位置を評価。

## 2. InAlN MOS 構造作製プロセスについての研究

InAlN 混晶は GaN に格子整合することができ、大きな自発分極と電子に対する障壁を生じることから、GaN 系 HEMT の新たなバリア材料として期待されています。しかし、大きな自発分極を有するという特長が逆に短所にもなり、バリア層として用いた時に内部に大きな電界を生じて漏れ電流が大きくなってしまいます。これを解決する 1 つの方法として絶縁膜を利用した MOS ゲート構造とすることが提案されています。しかし、一般には、絶縁体と半導体の界面には界面準位と呼ばれる禁制帯内準位が生じ、MOS 構造の電気的特性に悪影響を与えます。

私たちは実用的な絶縁体の中で最も禁制帯幅の大きな SiO<sub>2</sub> と InAlN との界面を制御し、界面準位を低減する方法について研究しています。

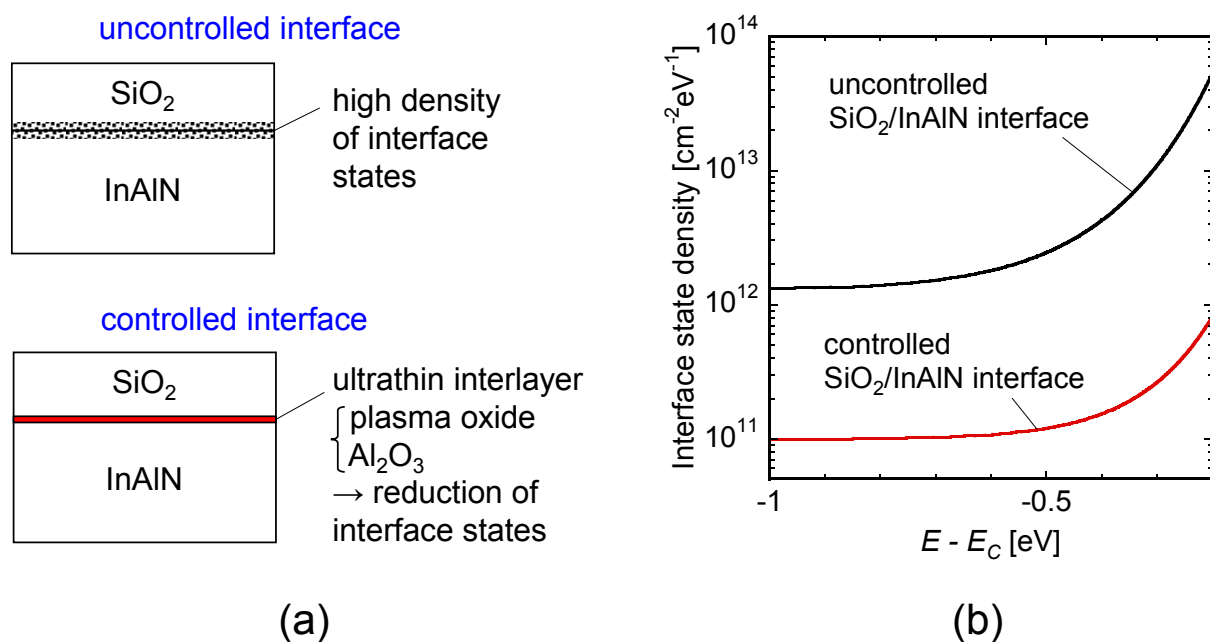


図 2. (a) 介在層挿入による SiO<sub>2</sub>/InAlN 界面の制御の模式図。(b) 実際に得られた界面準位密度分布。界面の制御により SiO<sub>2</sub>/InAlN 界面の界面準位密度の低減に成功した例。

### 3. 金属-GaN 界面の形成プロセスについての研究

金属と半導体の界面においては、半導体表面のバンドが曲がり、電子に対する障壁（ショットキー障壁）が生じます。その高さは金属の仕事関数に依存して変化することが期待されるのですが、実際には金属を変えて仕事関数が変わってもショットキー障壁の高さが大きく変化しないのが一般的です。もしこれを、金属の仕事関数に依存してショットキー障壁が変化するように制御することができれば、デバイス設計の自由度が拡大します。

私たちは金属と GaN との界面を制御し、ショットキー障壁を変化させる方法について研究しています。

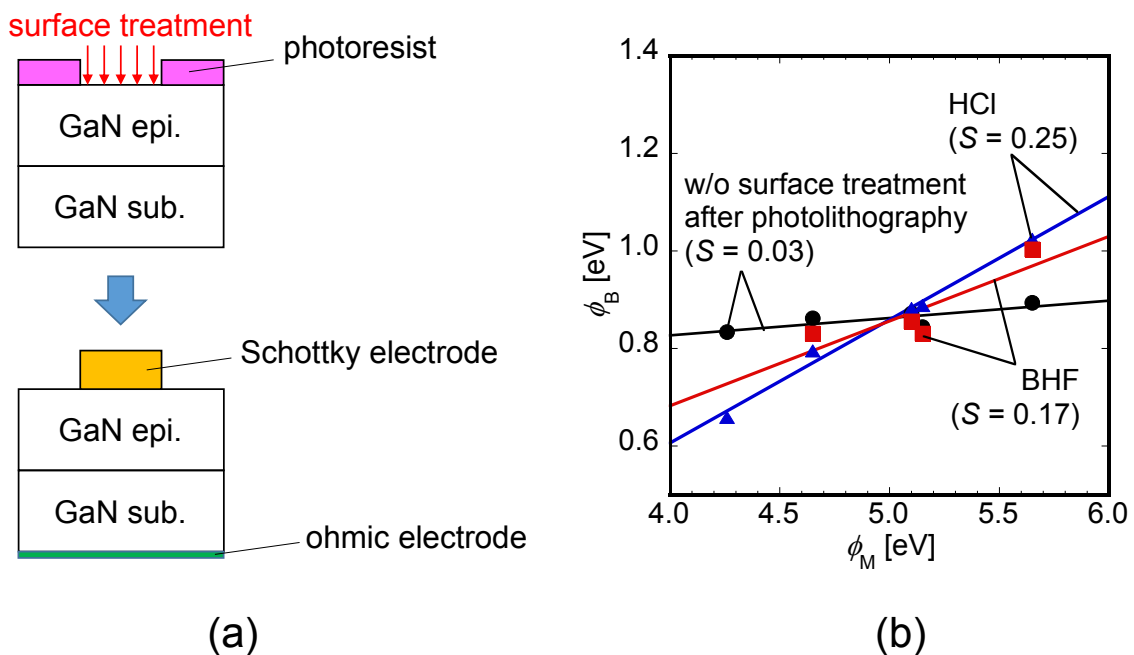


図 3. (a) ショットキーダイオードに対する表面処理プロセスの模式図。(b) 種々の金属に対して得られたショットキー障壁高  $\phi_B$  の電極金属仕事関数  $\phi_M$  依存性。S は依存性の度合いを示すパラメータでこのプロットの傾きで与えられる。